

반도체 프로젝트 제안서

과제명	PUC DRAM 주변회로 성능 극대화를 위한 Ellingham Diagram 기반 고내열성 금속 게이트의 일함수 제어 연구					
과제유형 *1	<input type="checkbox"/> 아날로그시스템설계 <input type="checkbox"/> 디지털시스템설계 ■ 공정 ■ 소재 <input type="checkbox"/> 기타					
방법론 *2	<input type="checkbox"/> 시뮬레이션 ■ 실험 <input type="checkbox"/> 기타()					
결과물	■ 레포트(논문, 보고서 등) ■ HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등)					
멘토	성 명	이영환		소속	신소재공학부	
	연락처	062-530-1696		이메일	yhlee@jnu.ac.kr	
내용	<p>1. 목적</p> <ul style="list-style-type: none"> - PUC 구조의 고온 공정 한계 극복: 차세대 DRAM은 넷 다이(Net Die) 효율을 높이기 위해 Periphery 회로를 Cell 하단에 배치하는 PUC(Periphery Under Cell) 구조를 채택함. 이로 인해 하부의 주변 회로 트랜지스터는 상부 Cell 형성 과정에서 발생하는 고온 후속 열처리(550~600°C 이상)를 견뎌야 하며, 이 과정에서 발생하는 게이트 전극의 열적 열화와 이로 인한 Vth 불균형을 해결하는 것이 필수적인 과제로 떠오름. - Peri 회로의 HKMG 도입 및 Vth 정밀 제어: DRAM 주변 회로(Sense Amp, Decoder 등)는 고속 동작과 저전력 특성이 동시에 요구됨에 따라 HKMG 도입이 필수적임. 그러나 고온 노출 시 금속 게이트의 산화 및 계면 특성 변경 등으로 인한 유효 일함수가 변동하는 현상이 발생함. 따라서 p/nMOS 각각의 목표 Vth 구현을 위해 고온에서도 안정한 일함수 확보 기술이 요구됨. - 열역학적 산화/질화를 통한 일함수 제어: 금속(Mo, TiN, Ru, W) 자체의 특성뿐만 아니라, 산소 분압 및 질소 분압 조절을 통해 형성되는 계면 Dipole과 금속 산화물의 화학적 포텐셜은 유효 일함수를 결정하는 핵심 요소임. 본 연구는 Ellingham Diagram을 통해 산화/질화가 일어나는 임계 조건을 이론적으로 설계하고, 이를 통해 금속의 일함수를 정밀하게 상·하향 조정(Vth Shifting)하는 원천 기술을 개발하고자 함. <p>2. 연구활동</p> <ul style="list-style-type: none"> - pMOS 및 nMOS용 게이트 박막(예: TiN, Mo, Ru, 등) 제작 - Ellingham diagram을 통한 산화/환원 조건 설계 - DRAM 메모리 열처리 및 공정분위기 제어 열처리 후 열 안정성 평가 <p>3. 결과물</p> <ul style="list-style-type: none"> - 열 안정성 정리 및 DRAM용 게이트 전극 적용 가능성 평가 보고서 - 국내 학술대회 참가 혹은 국내 학술지 게재 					
기타 *3	<ul style="list-style-type: none"> - 반도체 관련 기초 전공 지식 보유 우대 (예: 반도체 소재·공정 및 반도체 소자물리 등) - 구조 분석용 재료공학 전공 지식 보유 우대 (예: X-선 및 결정학, 기기분석 등) - 박막 증착용 진공장비 구동 관련 지식 보유 우대 (예: 박막공학 등) - 열처리 조건시 산화/환원 열역학 관련 지식 보유 우대 (예: 물리화학, 재료열역학 등) - 소자 제작 위한 재료비 및 소모품 지원 - 장비이용료 및 분석료 지원 					

※ 프로젝트 수행 기간 및 상황에 따라 연구활동 범위 및 결과물 내용 변경 가능